

DATE i fortsatt vekst

Konferansen *Design Automation and Test in Europe* ser ikke ut til å være synderlig berørt av nedgangstider og 11. september. Mens store konferanser i USA sliter med redusert besøk, hadde DATE'2002 som ble arrangert i Paris fra 4. til 8. mars en betydelig vekst fra fjoråret. Det var ingen mangel på interessante nyheter heller, verken fra industrien eller akademia.

Sammenliknet med 2001 hadde DATE'2002 en 10% økning i utleid utstillingsområde og 60% økning i antall innsendte artikler til konferansen. Totalt ble konferansen og utstillingen besøkt av over 4700 personer. Også det en betydelig økning fra i fjor. Det må følgelig være korrekt å si at DATE fortsatt er en konferanse i kraftig vekst. Vi har utvilsomt å gjøre med Europas viktigste møtested for forskere, leverandører og brukere av DAK-verktøy og testutstyr innen mikroelektronikk. Det eneste som viste en klar nedgang, var antall duppeditter i de ulike firmaenes boder. Her var det tydelig at sparekniven hadde skåret. Jeg klarte for eksempel ikke å finne en eneste Linux-pingvin som hjemkomstgave til min datter.

Det var imidlertid andre og viktigere ting som trakk publikum til utstillingen. En av de tyngste aktørene, Mentor Graphics, lanserte en interessant utvidelse av sitt markedsledende HW/SW co-verifiseringsverktøy *Seamless*. Den nye *C-Bridge* vil fra april av være inkludert i standard *Seamless* pakker. Det vil da være mulig å modellere deler av maskinvaren i et design ved hjelp av C, C++ eller SystemC. Ved co-simulering kan totalsystemet følgelig beskrives som en kombinasjon av for eksempel C, VHDL og programvare som skal kjøres på en innvevd (embedded) prosessor. Takket være det høye abstraksjonsnivået på maskinvaren beskrevet i C, vil den totale simuleringshastigheten øke betraktelig. Mentor mangler fortsatt syntesestøtte fra språk som C og ned til implementerbar maskinvarebeskrivelse. På dette feltet er Synopsys lenger framme, og det var svært stor interesse for deres presentasjoner om syntese fra SystemC til maskinvare. Faktisk var det ikke en gang ståplasser igjen da showet startet.

Andre områder der det ble presentert eksempler på en spennende utvikling var innen analyse og verifisering av design. TransEDA sin nye dynamiske *property checker* (VN-Property DX) sjekker egenskaper til et design i forbindelse med systemnivå simulering. Egenskapene kan være så vel forventet som ulovlig oppførsel, for eksempel for en gitt buss som er benyttet i designet. Programmet rapporterer oppførsel som bryter med de spesifiserte egenskapene, samt i hvor stor grad alle egenskaper er testet i simuleringen, altså grad av verifikasjonsdekning. Språket som benyttes til å spesifisere egenskapene er i ferd med å bli standardisert av standardiseringsorganet Accellera. Når dette er avsluttet vil IP leverandører kunne spesifisere egenskaper for sine modulers oppførsel og grensesnitt. Designere som benytter en slik IP kan så automatisk benytte disse egenskapene i sin simulering til å sikre seg at all kritisk oppførsel er verifisert og at alle antagelser om grensesnittet er oppfylt. En rekke store IP-leverandører samarbeider allerede med TransEDA i denne sammenheng. Dette er selvsagt en svært kritisk faktor for bruken av et slikt verktøy, selv om TransEDA også lovpriser nytten designere kan oppnå ved selv å spesifisere egenskaper til sine egne design.

Atrenta var et annet firma som presenterte et nytt verktøy innen et tilgrensende område. Deres nye verktøy *SpyGlass DFT* er en utvidelse av det prediktive analyseverktøyet *SpyGlass*. Dette har tradisjonelt blitt brukt til å analysere RTL-kode for på et tidlig tidspunkt å avdekke problemer som kan oppstå etter syntese til portnivå. Det nye nå er at programmet også analyserer koden med tanke på testbarhet. Er designet egnet til inkludering av skankjeder for

eksempel? Inneholder det sekvensielle tilbakekoblinger som ikke kan initialiseres? Atrenta er for øvrig på jakt etter en nordisk distributør.

Dette var et (svært lite) utvalg smakebiter fra den meget omfangsrike *kommersielle* delen av DATE'2002. Det foregikk imidlertid også mye interessant på den mer akademiske arena. Med 480 innsendte artikler hadde utvelgelseskomiteene en betydelig jobb. Totalt ble 40% av artiklene akseptert for lang presentasjon (30 minutter), kort presentasjon (15 minutter) eller poster presentasjon. Temaene spente fra fremskritt i logisk syntese, via interkonnekt modellering og rekonfigurerbare arkitekturer, til systemnivå simulering og modellering. Som konferansenavnet tilsier, var også testing i ulike former bredt representert. Det være seg avansert *mixed-signal* test, BIST diagnose og DFT, og SoC og system test. Flere av de ideene som ble presentert vil nok bli inkludert i ulike kommersielle DAK-verktøy om noen år.

I tillegg til sesjonene med presentasjon av innsendte artikler, hadde konferansen 14 spesialsesjoner som skulle gi *stimulating insights and vibrant discussions in state-of-the-art topics*. Eksempler her var temaer som DAK-verktøy for RF: myte eller realitet, nettverk på en brikke, effektkrisen i SoC design og bruk av UML til innvevd system spesifikasjon. En interessant panelsesjon presenterte de to *veikartene* for elektronikkindustrien, *The MEDEA+ and ITRS Roadmaps*. ITRS (International Technology Roadmap for Semiconductors) er kjent fra flere år tilbake. MEDEA+ er et relativt nytt initiativ innen EUREKA prosjektet i Europa. Det fokuserer på *system innovation on silicon for the e-economy* og vil komme med sitt eget veikart. Panellistene presenterte strategier innen sine respektive fagfelt. Blant de interessante observasjonene var Ahmed Jerrayas påpekning om at det meste av fremtidens design vil være realisert i programvare. Av dette er utvikling av programvare som skal kjøres på toppen av et operativsystem en relativt enkel sak. Utvikling av såkalt *firmware* vil være mer komplekst. De virkelige utfordringene ligger imidlertid i utvikling av programvare for testing av designet. For å forenkle prosessen bør deler av testsystemet integreres i operativsystemet. Irmtraud Rugen-Herzig brukte tiden sin på å understreke behovet for en *top-down* designmetodikk for de analoge og mixed-signal delene av et SoC. Dagens designtider er uakseptabelt lange når 70% av alle SoC design i fremtiden vil ha slike elementer inkludert. En viktig utfordring blir derfor å finne formelle høynivåbeskrivelser for analog og mixed-signal komponenter.

I skjæringspunktet mellom den akademiske konferansen og den kommersielle utstillingen ble det arrangert en såkalt *University Booth*. Her kunne universiteter demonstrere sine prototyper av DAK-verktøy, samt eksempler på ferdig realiserede kretssystemer (*working silicon*). Dette er en glimrende møteplass med mulighet for diskusjoner av både akademisk og praktisk art. Undertegnede deltok med et verktøy for estimering og optimalisering av minnebruk i dataintensive applikasjoner, som jeg utviklet i forbindelse med doktorgraden min. En *University Booth* har blitt en årviss affære på flere store konferanser og oppfordringen går herved til universitets og høyskolemiljøer over det ganske land til å delta. DATE'2003 går av stabelen i München i begynnelsen av mars neste år. Se <http://www.date-conference.com/>